

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

# (19) 대한민국특허청(KR) (12) 등록특허공보(B1)

(51) Int. Cl.  
H01L 23/50

(45) 공고일자 1999년09월01일  
(11) 등록번호 10-0220154  
(24) 등록일자 1999년06월18일

(21) 출원번호 10-1996-0009774  
(22) 출원일자 1996년04월01일  
(73) 특허권자 아남반도체주식회사, 김규현  
대한민국  
133-121  
서울특별시 성동구 성수동 2가 280-8

(65) 공개번호 특1997-0072358  
(43) 공개일자 1997년11월07일

(72) 발명자 허영욱  
대한민국  
경기도 성남시 분당구 수내동 55 롯데아파트 132-1504

(74) 대리인 서만규

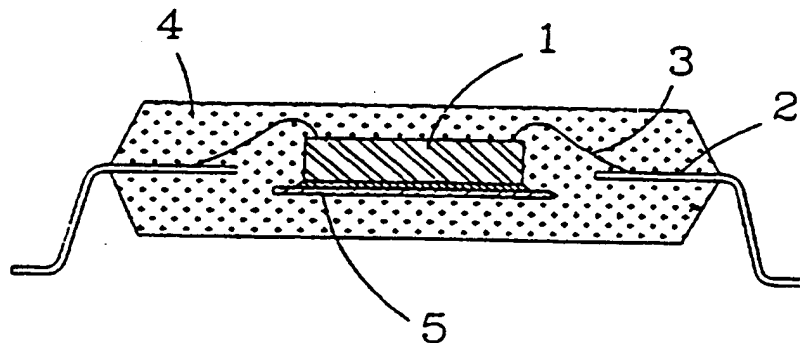
(77) 심사청구 심사관: 양희용

(54) 출원명 반도체 패키지의 제조방법

## 요약

본 발명은 반도체패키지의 제조방법 및 구조에 관한 것으로, 반도체칩의 저면을 외부로 노출시켜 회로동작시 발생하는 열방출의 효과를 극대화하여 패키지의 수명을 연장시키고, 신뢰성을 향상 시키는 물론, 패키지의 몰딩부 외측에 위치한 리드는 절단하고, 몰딩부 내측에 위치한 리드는 그 저면을 외부로 노출시켜 마더보드에 실장시 리드의 저면에서 신호전달을 하도록 함으로서 실장면적을 최소화 할 수 있는 반도체패키지이다.

## 대표도



## 명세서

### [발명의 명칭]

반도체패키지의 제조방법

### [도면의 간단한 설명]

제 1 도는 일반적인 반도체패키지의 구조를 보인 단면도

제 2 도는 본 발명에 적용되는 리드프레임을 도시한 평면도

제 3a 도 내지 제 3e 도는 본 발명의 제조 공정도

제 4a 도 내지 제 4d 도는 본 발명의 실시예에 의한 제조 공정도

제 5 도는 본 발명에 의한 반도체패키지의 저면도

제 6 도는 본 발명의 리드를 도시한 확대도

### \* 도면의 주요부분에 대한 부호의 설명

10 : 반도체칩 20 : 리드프레임

21 : 리드 30 : 와이어

41 : 액상봉지재 42 : 컴파운드

## [발명의 상세한 설명]

본 발명은 반도체패키지의 제조방법에 관한 것으로, 더욱 상세하게는 반도체칩의 저면용 외부로 노출시켜 회로동작시 발생되는 열방출의 흡과 흡 극대화하여 패키지의 수명을 연장시키고, 신뢰성을 향상시키는 물론, 패키지의 용접부 외측에 위치한 리드는 절단하고, 용접부 내측에 위치한 리드는 그 저면을 외부로 노출시켜 마더보드에 실장시 리드의 저면에서 신호전달을 하도록 함으로서 실장면적을 최소화 할 수 있는 반도체패키지의 제조방법에 관한 것이다. 일반적으로 반도체패키지는 제 1 도에 도시된 바와 같이, 리드프레임의 칩탑재판(2a)상에 에폭시 어드히시브(Epoxy Adhesive)를 도포하여 반도체칩(1)을 정착시키고, 반도체칩(1)상의 칩패드와 리드프레임의 리드(2)를 와이어(3)로 본딩한 후, 컴파운드(4)로 용접하여 반도체패키지를 제조하였다. 그러나, 이러한 구조는 컴파운드(4) 외부로 리드(2)를 노출시켜 소정의 형태로 리드(2)를 절단하여 일로 출력 단자로 사용하였으므로, 외부로 노출된 리드(2)에 충격이 가해져 쉽게 변형되는 이유로 유지 관리가 어려우며 패키지의 크기만 크게 만드는데 요인이 되었다. 또한, 반도체칩(1)을 리드프레임의 칩탑재판(2a)에 정착시킬때 에폭시 어드히시브를 사용하기 때문에 에폭시와 같이 히터플렉(H)의 상부에 부착되는데, 이 히터플렉(H)에는 배공 홈(V : Vacuum Hole)이 형성되고, 상기 배공 홈(V)로 공기를 빨아들여 반도체칩(1)을 고정 지지함으로써 와이어 본딩 중에 반도체칩(1)이 흔들림을 방지하는 것이다.

이와 같이 리드프레임과 반도체칩이 와이어 본딩되면, 상기 리드프레임(20)을 운반 및 취급시에는 상기 반도체칩과 리드프레임이 와이어 본딩에 의해 서로 연결되어 있으므로 반도체칩(10)이 분리되지 않는 것이다. 제 3c 도와 제 3d 도는 와이어 본딩된 리드프레임(20)에 용접을 실시하여 반도체칩(10)을 외부의 산화 및 부식으로 부터 보호하는 것으로, 여기서는 액상 봉지재(41)를 사용하여 본딩한 상태를 도시한 것이다. 이때, 상기 액상 봉지재(41)가 흘러 넘치는 것을 방지하기 위하여 용접영역에 미리 램(411)을 형성한 후, 액상 봉지재(41)로 용접을 실시하면 액상 봉지재(41)가 흘러 넘치는 것을 방지할 수 있다. 이와 같이 용접을 실시한 다음에는 150℃ 이상의 고온에서 수시간 노출시켜 액상 봉지재(41)를 경화시키고, 제 3e 도와 같이 용접영역의 외부에 위치한 리드(21)를 절단하여 반도체패키지를 완성하는 것이다. 상기 제조 공정중 용접을 실시할 때 액상 봉지재(41)를 사용하지 않고, 에폭시 용드 컴파운드(42)를 사용하여 제 4a 도 내지 제 4d 도에 도시된 바와같이 용접을 실시할 수 있는 바, 컴파운드(42)를 사용하여 용접을 실시한 경우에는 용드공형이 필요하게 되고, 용접영역의 외곽으로 램(411)을 형성할 필요는 없다. 이때에 도 용드 컴파운드(42)로 용접공정과 경화공정을 거친 후, 용접영역의 외곽으로 돌출된 리드(21)를 절단하는 것이다. 이와 같은 제조공정을 거쳐 완성된 반도체패키지는 제 5 도에 도시된 바와 같이 저면에 반도체칩(10)과 다수의 리드(21)가 노출된 상태로 형성되는 것으로, 반도체칩(10)의 저면이 외부로 직접 노출되기 때문에 열방출이 우수하며, 다이본딩 공정을 거치지 않으므로 계면박리가 발생되지 않는 것이다. 또한, 이와 같은 반도체패키지는 용접영역의 외곽으로 위치되는 리드(21)가 없어 취급시 리드(21)가 휘거나, 손상되는 것을 방지할 수 있으며, 패키지의 터미널(입출력단자) 부분이 패키지의 밑면에서 이루어짐으로 마더보드에 실장시 그 크기를 최소화 할 수 있는 것이다. 또한, 상기 반도체패키지의 저면에는 그라인드(Grind)를 실시하여 패키지의 저면에서 발생할 수 있는 플래쉬(Flash)를 제거할 수 있다. 즉, 용접 후에 플래쉬(용드 제거기)를 제거하는 플래쉬 제거단계를 추가할 수 있다. 또한, 제 6 도와 같이 본발명의 반도체패키지는 용접영역 외곽에 위치한 리드(21)를 절단시 리드(21)의 절단을 용이하게 하기 위하여 절단되는 부위의 리드(21)에 노치(211 : Notch)를 형성할 수 있다. 이와 같은 제조방법에 의해 형성된 반도체패키지의 구조는, 저면이 외부로 직접 노출되는 반도체칩(10)과, 상기 반도체칩(10)의 외측에 위치되고 용접영역을 벗어나지 않으며 저면이 외부로 노출되어 저면에서 신호의 입출력이 이루어지는 다수의 리드(21)와, 상기 반도체칩(10)과 리드(21)를 연결시켜주는 와이어와, 상기 반도체칩(10), 리드(21) 및 와이어(30)를 외부 환경으로부터 보호하기 위하여 용접된 액상 봉지재(41) 또는 컴파운드(42)로 구성된 것이다.

여기서, 상기 액상 봉지재(41)로 용접한 경우에는 액상 봉지재(41)가 흘러 넘치는 것을 방지하기 위하여 용접영역의 외곽으로 램(411)을 형성한다. 또한, 상기 용접된 액상 봉지재(41) 및 컴파운드(42)는 리드(21) 및 반도체칩(10)의 상부로부터 용접되는 것이며, 상기 반도체패키지의 저면에는 플래쉬(Flash)의 제거를 위해 그라인드(Grind)를 실시할 수 있다. 이와 같은 구성의 반도체패키지는 저면으로 반도체칩과 다수의 리드가 직접 노출되므로 열방출이 우수하며 계면박리가 발생되지 않고, 용접영역의 외곽으로 위치되는 리드가 없어 취급시 리드가 휘거나, 손상되는 것을 방지할 수 있으며, 패키지의 터미널(입출력단자) 부분이 패키지의 밑면에서 이루어짐으로 마더보드에 실장시 그 크기만 최소화 할 수 있는 잇점이 있다.

## (57) 청구의 범위

## 청구항 1.

(정정) 다수의 리드가 형성되고, 이 다수의 리드 중앙부에는 칩탑재판이 없는 리드프레임을 제공하는 단계와; 상기 리드프레임의 다수의 리드 중앙부에 반도체칩을 위치시키고, 상기 반도체칩은 배공 홈(Vacuum Hole)이 형성된 히터플렉에 안착시킨 후, 상기 배공 홈로 공기를 빨아들여 반도체칩을 지지 고정된 상태에서 와이어본딩을 실시하는 단계와; 상기 와이어본딩된 리드, 반도체칩 및 와이어를 외부의 산화 및 부식으로 부터 보호하기 위하여 용접하는 단계와; 상기 단계후에 용접영역 외곽에 위치한 리드를 절단하는 단계를 포함하여 이루어진 것을 특징으로 하는 반도체패키지의 제조방법.

## 청구항 2.

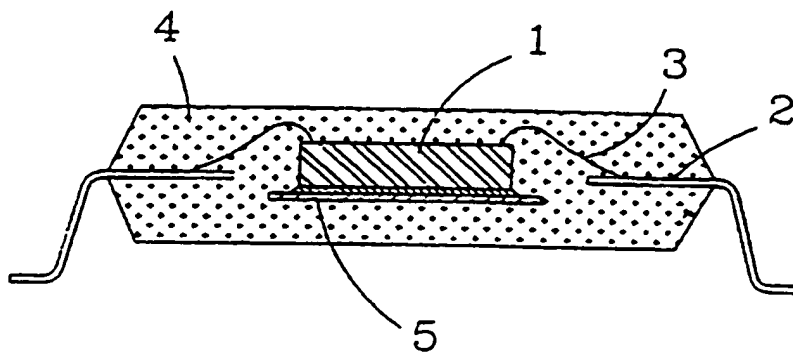
제 1 항에 있어서, 상기 용접하는 단계 후에는 반도체 패키지의 저면에 그라인드(Grind)를 실시하여 플래쉬(Flash)를 제거하는 플래쉬 제거 단계를 더 포함하여 이루어진 것을 특징으로 하는 반도체패키지의 제조방법.

## 청구항 3.

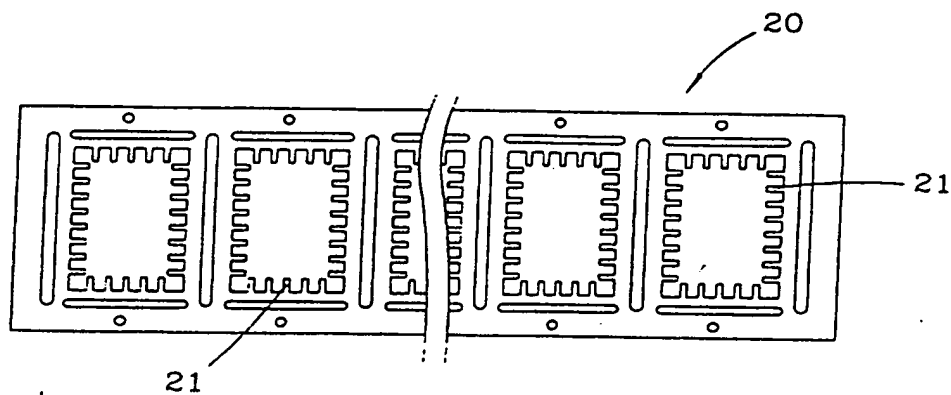
제 1 항에 있어서, 상기 용접영역의 외곽에 위치한 리드를 절단하는 단계는, 상기 리드의 절단되는 부위에 노치(Notch)를 형성하여 상기 리드가 용이하게 절단되도록 한 것을 특징으로 하는 반도체패키지의 제조방법.

도면

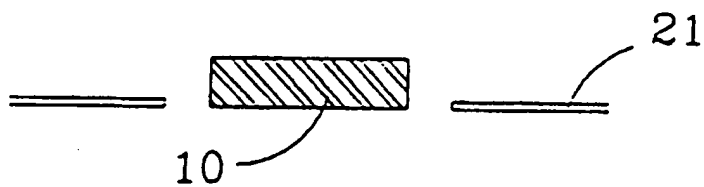
도면 1



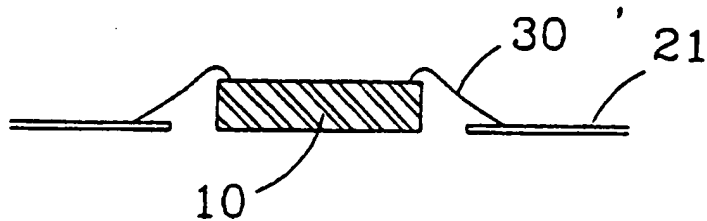
도면 2



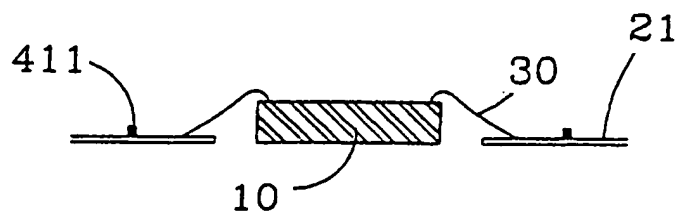
도면 3a



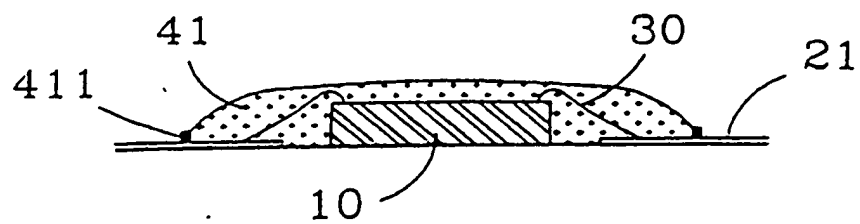
도면 3b



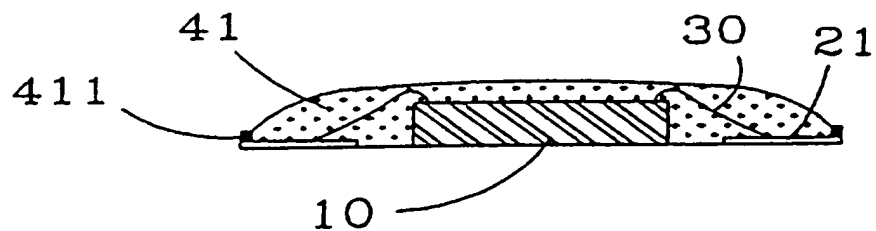
도면 3c



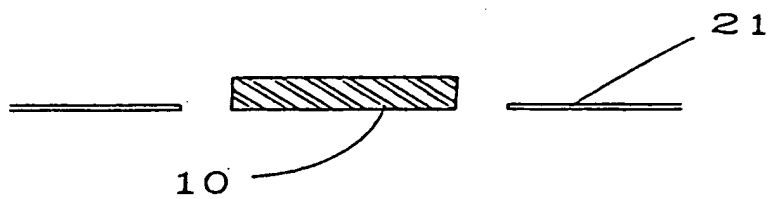
도면 3d



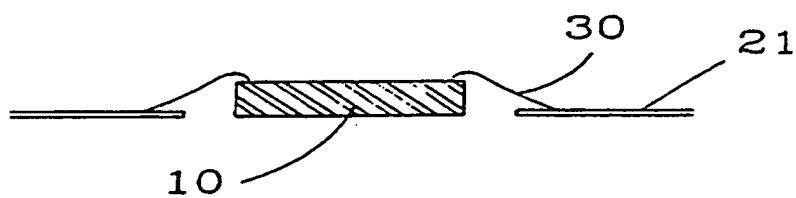
도면 3e



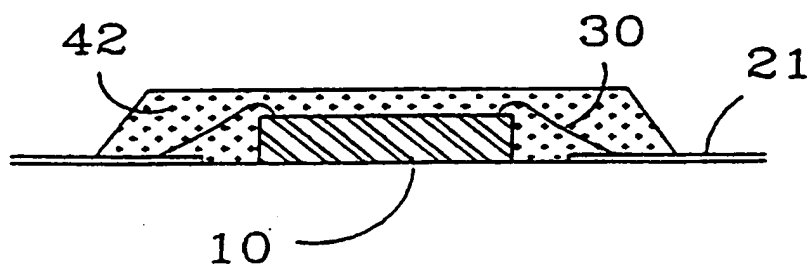
도면 4a



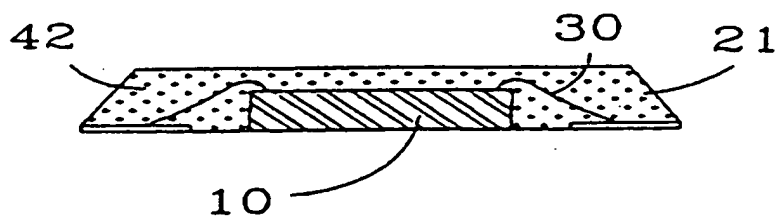
도면 4b



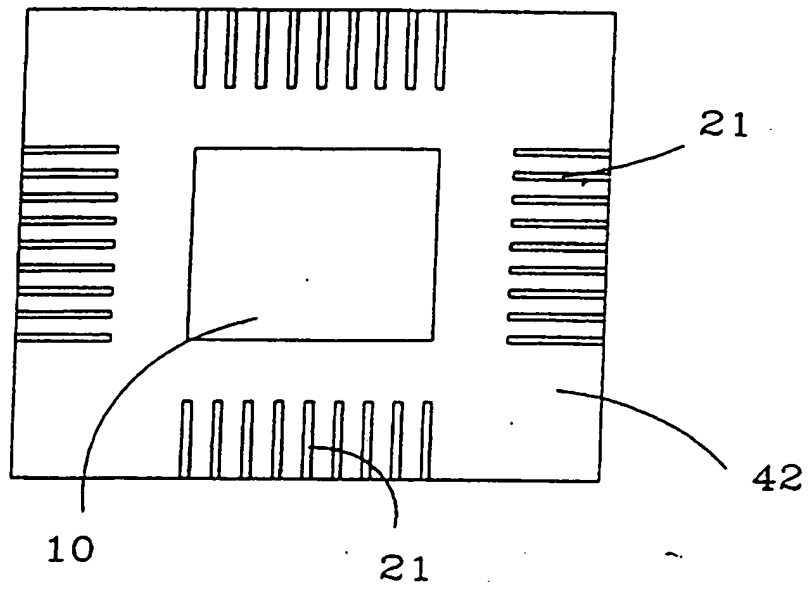
도면 4c



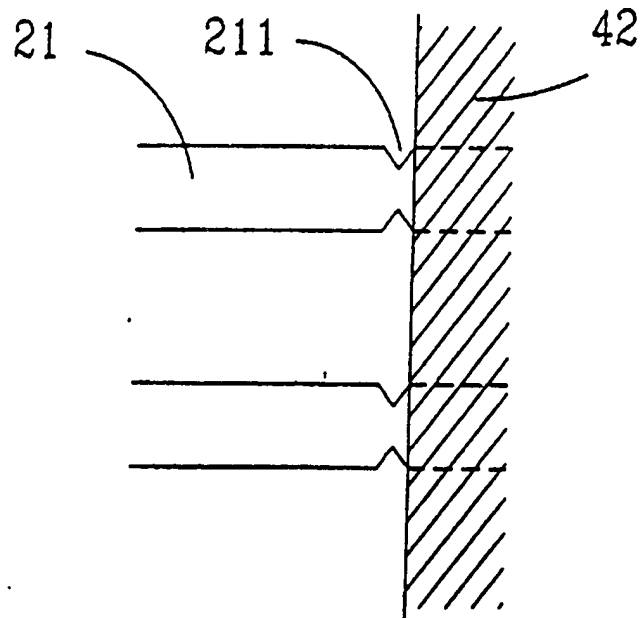
도면 4d



도면 5



도면 6



도면 7

